

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036026

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01L 27/10
G23C 14/08
G23C 16/40
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 2000-010253

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.01.2000

(72)Inventor : KANETANI HIROYUKI
KUMURA YOSHINORI
MORIMOTO TOYOTA
HIDAKA OSAMU
KUNISHIMA IWAO
IWAMOTO TAKESHI

(30)Priority

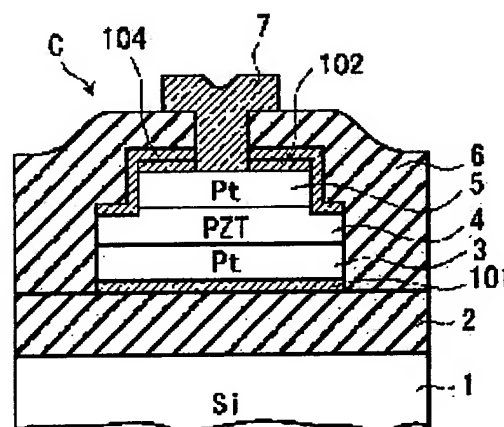
Priority number : 11135066 Priority date : 14.05.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a ferroelectric capacitor which is suppressed in the deterioration due to the reducing action by hydrogen and superior in characteristics.

SOLUTION: On a silicon substrate 1, a first hydrogen barrier film 101, a lower electrode film 30, a ferroelectric film 4, an upper electrode film 50, and a second hydrogen barrier film 102 are deposited in the order through an insulation film 2. Using a mask 103, the hydrogen barrier film 102 and the upper electrode film 50 are etched in order to pattern an electrode film 5. Then a third hydrogen barrier film 104 is deposited so as to cover the exposed part of the ferroelectric film 4. Using a mask formed on the third hydrogen barrier film 104, the ferroelectric film 4 and the lower electrode film 30 are etched, in order to pattern form the ferroelectric film 4 and a lower electrode 3 self-aligned with the ferroelectric film 4.



LEGAL STATUS

[Date of request for examination]

08.06.2000

[Date of sending the examiner's decision of rejection] 27.11.2001
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3331334
[Date of registration] 19.07.2002
[Number of appeal against examiner's decision of rejection] 2001-23290
[Date of requesting appeal against examiner's decision of rejection] 27.12.2001
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-36026
(P2001-36026A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
C 2 3 C 14/08		C 2 3 C 14/08	K
16/40		16/40	
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 Z
21/8242			6 5 1

審査請求 有 請求項の数34 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2000-10253 (P2000-10253)
(22) 出願日 平成12年1月17日 (2000.1.17)
(31) 優先権主張番号 特願平11-135066
(32) 優先日 平成11年5月14日 (1999.5.14)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 金谷 宏行
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 玖村 芳典
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 100083161
弁理士 外川 英明

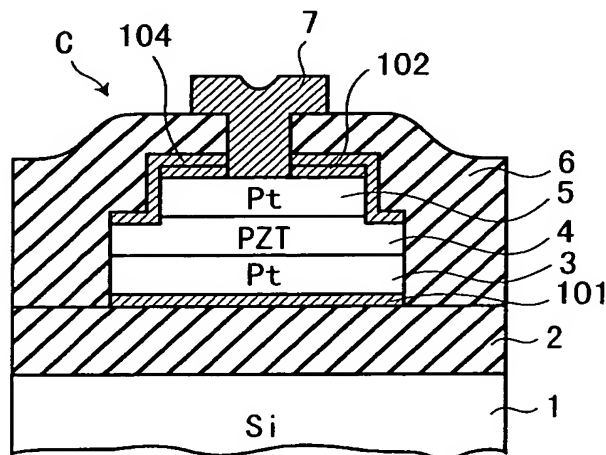
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 水素還元作用による劣化を抑制した優れた特性の強誘電体キャパシタを持つ半導体装置を提供する。

【解決手段】 シリコン基板1上に絶縁膜2を介して、第1の水素バリア膜101、下部電極膜30、強誘電体膜4、上部電極膜50及び第2の水素バリア膜102を順次堆積し、マスク103を用いて水素バリア膜102及び上部電極膜50を順次エッチングして上部電極5をパターン形成する。露出した強誘電体膜4を覆って第3の水素バリア膜104を堆積し、この上に形成したマスクを用いて強誘電体膜4及び下部電極膜30を順次エッチングして、強誘電体膜4とこれに自己整合された下部電極3をパターン形成する。



【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタとを備えた半導体装置において、

前記強誘電体キャパシタを構成する上部若しくは下部電極の少なくとも一方の電極の表面にチタンを含まない水素バリア膜が形成されていることを特徴とする半導体装置。

【請求項 2】 前記水素バリア膜は、前記強誘電体キャパシタの下部電極と前記絶縁膜の間に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記水素バリア膜は、前記強誘電体キャパシタの上部電極の上側表面に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記強誘電体キャパシタの強誘電体膜及び下部電極は上部電極より大きい面積に加工され、前記水素バリア膜は、少なくとも前記上部電極の上側表面から側面を経て前記強誘電体膜の表面に延在するように形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記強誘電体キャパシタの下部電極は上部電極及び強誘電体膜より大きい面積に加工され、前記水素バリア膜は、前記上部電極の上側表面から側面、更に前記強誘電体膜の側面を経て前記下部電極の表面に延在するように形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタとを備えた半導体装置において、前記強誘電体キャパシタは、前記絶縁膜に形成された溝に埋め込まれており、且つチタンを含まない水素バリア膜が少なくとも前記強誘電体キャパシタの底面及び側面を覆うように前記溝に埋め込まれていることを特徴とする半導体装置。

【請求項 7】 前記強誘電体キャパシタの上部に更にチタンを含まない水素バリア膜が形成されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタと、この強誘電体キャパシタを覆って形成された層間絶縁膜とを備えた半導体装置において、前記層間絶縁膜は少なくとも第 1 及び第 2 の層間絶縁膜の積層構造により構成され、第 1 及び第 2 の層間絶縁膜の間に水素バリア膜が埋め込まれていることを特徴とする半導体装置。

【請求項 9】 前記層間絶縁膜のうち前記水素バリア膜と前記強誘電体キャパシタとの間の部分の膜厚が、前記強誘電体キャパシタの厚みの 0.05 倍以上で 3 倍以下

に設定されていることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタとを備えた半導体装置において、

前記下部電極と前記絶縁膜の間にチタンを含まない水素バリア膜が形成され、且つ前記強誘電体膜と下部電極の側面に、前記水素バリア膜のドライエッチング加工によりエッチングされた水素バリア膜材料を含む再堆積膜が形成されていることを特徴とする半導体装置。

【請求項 11】 前記水素バリア膜は、水素の拡散定数が $1 \text{ E} - 5 \text{ cm}^2 / \text{s}$ 以下の金属酸化物であることを特徴とする請求項 1 乃至 10 のいずれかに記載の半導体装置。

【請求項 12】 前記水素バリア膜は、比抵抗が $1 \text{ k} \Omega \text{ cm}$ 以上の金属酸化物であることを特徴とする請求項 4, 5, 6, 8, 9 のいずれかに記載の半導体装置。

【請求項 13】 前記水素バリア膜は、 Al_2O_3 , Al_xO_y , AlN , WN , SrRuO_3 , IrO_x , ZrO_x , RuO_x , SrO_x , ReO_x , OsO_x , MgO_x から選ばれた少なくとも一種であることを特徴とする請求項 2, 3, 10 のいずれかに記載の半導体装置。

【請求項 14】 前記水素バリア膜は、 Al_2O_3 , Al_xO_y , ZrO_x , MgO_x から選ばれた少なくとも一種であることを特徴とする請求項 4, 5, 6 のいずれかに記載の半導体装置。

【請求項 15】 前記水素バリア膜は、 Al_2O_3 , Al_xO_y , TiO_x , ZrO_x , MgO_x , MgTiO_x から選ばれた少なくとも一種であることを特徴とする請求項 8 又は 9 記載の半導体装置。

【請求項 16】 半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタとを備えた半導体装置において、

前記強誘電体キャパシタに対する水素拡散を抑制する水素バリア膜として水素の拡散定数が $1 \text{ E} - 5 \text{ cm}^2 / \text{s}$ 以下の金属酸化物膜を内在させたことを特徴とする半導体装置。

【請求項 17】 半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタとを備えた半導体装置において、

前記強誘電体キャパシタに対する水素拡散を抑制する水素バリア膜として比抵抗が $1 \text{ k} \Omega \text{ cm}$ 以上の金属酸化物膜を内在させたことを特徴とする半導体装置。

【請求項 18】 半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタとを備えた半導体装置において、

前記強誘電体膜と前記下部電極との間に第1の $SrRuO_3$ 膜が、前記強誘電体膜と前記上部電極との間に第2の $SrRuO_3$ 膜がそれぞれ形成され、且つ前記第1及び第2の $SrRuO_3$ 膜の各厚み $T_{sro}(BE)$ (nm) 及び $T_{sro}(TE)$ (nm) が、前記強誘電体膜の厚み T_{pzt} (nm) に対して、 $10 \leq T_{sro}(BE) + T_{sro}(TE) \leq (2/12) T_{pzt}$ の範囲に設定されていることを特徴とする半導体装置。

【請求項19】 トランジスタが形成された半導体基板と、この半導体基板を覆い且つ前記トランジスタの拡散層に接続されるコンタクトプラグが埋め込まれた絶縁膜と、この絶縁膜上に形成されて前記コンタクトプラグを介して前記トランジスタに接続された強誘電体キャパシタとを有する半導体装置において、前記強誘電体キャパシタは、下部電極と、この下部電極上に下部電極と同じ面積で形成された強誘電体膜と、この強誘電体膜上に強誘電体膜より小さい面積をもって形成された上部電極と、前記上部電極の側壁に自己整合されて形成されて前記強誘電体膜の表面を覆う保護膜とを有することを特徴とする半導体装置。

【請求項20】 半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタと、この強誘電体キャパシタ上に層間絶縁膜を介して形成されて前記上部電極に接続される配線と備えた半導体装置において、前記配線の前記上部電極に対するコンタクトの面積が前記上部電極の面積に対して50%以上となるように設定されていることを特徴とする半導体装置。

【請求項21】 前記半導体基板上にトランジスタが形成されており、前記配線の前記上部電極に対するコンタクトの面積は、前記トランジスタに対するコンタクトの面積に比べて大きく設定されていることを特徴とする請求項20記載の半導体装置。

【請求項22】 半導体基板上に絶縁膜を介して、チタンを含まない第1の水素バリア膜、下部電極材料膜及び強誘電体膜、上部電極材料膜を順次堆積する工程と、第1のマスクを用いて前記上部電極材料膜をエッチングして上部電極をパターン形成する工程と、前記上部電極を覆う第2のマスクを用いて前記強誘電体膜及び下部電極材料膜を順次エッチングして、強誘電体膜とこれに自己整合された下部電極をパターン形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項23】 半導体基板上に絶縁膜を介して、下部電極材料膜及び強誘電体膜、上部電極材料膜及びチタンを含まない水素バリア膜を順次堆積する工程と、第1のマスクを用いて前記水素バリア膜及び上部電極材料膜を順次エッチングして上部電極をパターン形成する工程と、前記上部電極の領域を覆う第2のマスクを用いて前記強

誘電体膜及び下部電極材料膜を順次エッチングして、強誘電体膜とこれに自己整合された下部電極をパターン形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項24】 半導体基板上に絶縁膜を介して、下部電極材料膜及び強誘電体膜、上部電極材料膜を順次堆積する工程と、

第1のマスクを用いて前記上部電極材料膜をエッチングして上部電極をパターン形成する工程と、

10 前記上部電極及び露出した前記強誘電体膜を覆ってチタンを含まない水素バリア膜を堆積する工程と、

前記水素バリア膜上に前記上部電極の領域を覆うように形成された第2のマスクを用いて前記強誘電体膜及び下部電極材料膜を順次エッチングして、強誘電体膜とこれに自己整合された下部電極をパターン形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項25】 半導体基板上に絶縁膜を介して、下部電極材料膜、強誘電体膜、上部電極材料膜及びチタンを含まない水素バリア膜を順次堆積する工程と、

20 前記水素バリア膜上にシリコン窒化膜マスクをパターン形成する工程と、

前記シリコン窒化膜マスクを用いて前記水素バリア膜及び上部電極材料膜をエッチングするして上部電極をパターン形成する工程と、

前記強誘電体膜及び下部電極材料膜を前記上部電極より大きい面積をもってパターン加工して強誘電体キャパシタを形成する工程と、

30 前記強誘電体キャパシタを覆う層間絶縁膜を堆積し、前記シリコン窒化膜をストップとする研磨処理により前記層間絶縁膜を平坦化する工程とを有することを特徴とする半導体装置の製造方法。

【請求項26】 半導体基板上に絶縁膜を介して、下部電極材料膜、強誘電体膜及び上部電極材料膜を順次堆積する工程と、

第1のマスクを用いて前記上部電極材料膜及び強誘電体膜を順次エッチングして上部電極とこれに自己整合された強誘電体膜をパターン形成する工程と、

40 前記第1のマスクを除去して前記上部電極及び露出した下部電極材料膜上にチタンを含まない水素バリア膜を堆積する工程と、

前記水素バリア膜上に前記上部電極の領域を覆って形成された第2のマスクを用いて水素バリア膜及び下部電極材料膜エッチングして下部電極をパターン形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項27】 半導体基板を覆う絶縁膜のキャパシタ形成領域に溝を形成する工程と、

前記溝内にチタンを含まない水素バリア膜を形成する工程と、

50 前記溝内に前記水素バリア膜により底面及び側面が保護された状態で下部電極、強誘電体膜及び上部電極の積層

5

構造からなる強誘電体キャパシタを埋め込み形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 28】 半導体基板に絶縁膜を介して、下部電極、強誘電体膜及び上部電極の積層構造からなる強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタを覆って、内部に前記強誘電体キャパシタに対する水素拡散を抑制する少なくとも一層の水素バリア膜を含む層間絶縁膜を形成する工程と、前記層間絶縁膜上に前記強誘電体キャパシタに接続される配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 29】 半導体基板に絶縁膜を介して、チタンを含まない水素バリア膜、下部電極材料膜、強誘電体膜及び上部電極材料膜を順次堆積する工程と、第 1 のマスクを用いて前記上部電極材料膜をエッチングして上部電極をパターン形成する工程と、前記上部電極を覆う第 2 のマスクを形成し、前記強誘電体膜、下部電極材料膜及び水素バリア膜を順次ドライエッチングして、前記強誘電体キャパシタとこれに整合された下部電極をパターン形成すると同時に、前記下部電極及び強誘電体膜の側面に前記水素バリア膜材料を含む再堆積膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 30】 前記水素バリア膜は、水素の拡散定数が $1 \text{ E}-5 \text{ cm}^2/\text{s}$ 以下の金属酸化物であることを特徴とする請求項 22 乃至 29 のいずれかに記載の半導体装置の製造方法。

【請求項 31】 前記水素バリア膜は、比抵抗が $1 \text{ k} \Omega \text{ cm}$ 以上の金属酸化物であることを特徴とする請求項 24、26、27、28 のいずれかに記載の半導体装置の製造方法。

【請求項 32】 半導体基板にトランジスタを形成する工程と、前記トランジスタが形成された半導体基板に絶縁膜を形成する工程と、前記絶縁膜に前記トランジスタの拡散層に接続されるコンタクトプラグを埋め込む工程と、前記絶縁膜上に下部電極材料膜、強誘電体膜及び上部電極材料膜を順次堆積する工程と、前記上部電極材料膜上に形成されたハードマスクを用いて前記上部電極材料膜をエッチングして上部電極をパターン形成する工程と、前記ハードマスクと上部電極の側壁に自己整合された保護膜を形成する工程と、前記ハードマスクと保護膜をマスクとして前記強誘電体膜及び下部電極材料膜をエッチングして強誘電体膜とこれに自己整合された下部電極をパターン形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 33】 請求項 3 乃至請求項 9 においてのキャパシタ上に水素バリア膜を有する構造において、前記水素

6

バリア膜を、前記水素バリア膜上の層間絶縁膜 CMP 工程の際のストッパーにすることを特徴とする半導体の製造方法。

【請求項 34】 前記請求項 33 において、前記水素バリア膜上に Si x Ny あるいは Si x Oy Nz を堆積させた膜で CMP の際のストッパーにすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、強誘電体キャパシタを持つ半導体装置とその製造方法に関する。

【0002】

【従来の技術】 従来より、強誘電体キャパシタの自発分極を利用して不揮発にデータを記憶する不揮発性半導体メモリ（以下、FRAM）が知られている。FRAM は、バッテリーレスでの使用が可能で且つ高速動作が可能であるため、非接触カード（RF-ID: Radio Frequency-Identification）への展開が始まりつつある他、既存の SRAM、DRAM、フラッシュメモリ等との置き換え、更にロジック混載メモリ等への期待も大きい。強誘電体キャパシタは、代表的には、上下電極に白金（Pt）膜を用い、強誘電体膜に PZT（ $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ ）膜を用いて形成される。シリコン基板を用いた LSI プロセスで FRAM を作る場合は、トランジスタ等が形成されたシリコン基板の表面をシリコン酸化膜等の絶縁膜で覆い、この絶縁膜上に下部 Pt 電極、PZT 膜、及び上部 Pt 電極をパターン形成して、強誘電体キャパシタが作られる。通常下部 Pt 電極の下地には、密着性をよくするために TiOx 膜等を介在させる。

【0003】

【発明が解決しようとする課題】 上述した従来の強誘電体キャパシタでは、Si-LSI プロセス中に含まれる水素等の還元性ガスにより、強誘電体特性が劣化すること、具体的には自発分極量の低下が生じることが知られている。この水素還元による強誘電体キャパシタの特性劣化対策として、水素等のキャパシタ部への侵入を防止する保護対策が従来よりいくつか提案されているが、これまでのところ、簡便且つ確実なものは未だない。水素還元による特性劣化の他に、強誘電体キャパシタでは、加工プロセスダメージによる特性劣化等、解決すべき問題が多い。例えば、PZT 等の強誘電体キャパシタと SiO2 絶縁膜との相互拡散を防止するために、これらが直接接触しないように、強誘電体キャパシタを拡散防止膜で覆う方法は、特開平 8-335673 号公報に開示されている。拡散防止膜としては、TiO2、ZrO2、Al2O3 等が有効であるとされている。しかし、ここで問題としているのは、相互拡散によるキャパシタ強誘電体膜の剥離現象であり、加工プロセスで生じる水素拡散による強誘電体キャパシタ特性の劣化は問題とされていない。一方、最近の本発明者等の研究によると、強誘電

体キャパシタとSiO₂絶縁膜との密着層としてTiO_x膜を用いることは、いくつかの不都合をもたらすことが明らかになっている。例えば、PZT膜中へTiが拡散することによる強誘電特性の劣化が生じることが明らかになっている。

【0004】この発明は、上記事情を考慮してなされたもので、優れた特性の強誘電体キャパシタを持つ半導体装置とその製造方法を提供することを目的としている。

【0005】

【課題を解決するための手段】この発明は、半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタとを備えた半導体装置において、前記強誘電体キャパシタを構成する上部若しくは下部電極の少なくとも一方の電極の表面にチタンを含まない水素バリア膜が形成されていることを特徴とする。具体的に水素バリア膜は、下部電極と絶縁膜の間、或いは上部電極の上側表面の少なくとも一方に形成される。この発明において、チタンを含まない水素バリア膜は好ましくは、水素の拡散定数が $1\text{E}-5\text{ cm}^2/\text{s}$ 以下の金属酸化物膜とする。またチタンを含まない水素バリア膜は、強誘電体キャパシタの上下電極を短絡する状態に形成される場合には高抵抗であることが必要で、この場合好ましくは、比抵抗が $1\text{ k}\Omega\text{ cm}$ 以上の金属酸化物膜とする。この様な水素バリア膜を下部電極の下地又は上部電極の上面の少なくとも一方に設けることより、強誘電体膜の水素還元による特性劣化が防止される。また水素バリア膜の材料を選択することにより、これが密着層として作用し、絶縁膜上に形成されるキャパシタの剥離が防止される。

【0006】なおこの明細書において、“水素バリア膜”は、水素ガス以外のフッ素等の還元性ガスの拡散に対する障壁膜としての意味をも有するものとし、強誘電体膜に対する加工プロセスのダメージを抑制する作用を持つものとして用いている。またこの明細書において、“強誘電体キャパシタ”は、1トランジスタ/1キャパシタ型メモリセル構造のFRAMにおけるようにトランジスタとは独立に形成されるキャパシタの他、1トランジスタ型のFRAMメモリセルのようにトランジスタのゲート部にトランジスタと一体に形成されるキャパシタをも含む。この発明において、下部電極下に水素バリア膜を介在させる場合には、下部電極と共にパターン形成されるものとする、また、強誘電体キャパシタの強誘電体膜及び下部電極が上部電極より大きい面積に加工される構造においては、水素バリア膜は、上部電極の上側表面から側面を経て強誘電体膜の上側表面に延在するように形成されるものとする。或いはまた、強誘電体キャパシタの下部電極が上部電極及び強誘電体膜より大きい面積に加工される場合に、水素バリア膜は、上部電極の上側表面から側面、更に強誘電体膜の側面を経て下部電極の上側表面に延在するように形成されるものとする。

【0007】この発明において、強誘電体キャパシタが、下部電極から少なくとも強誘電体膜までが絶縁膜に形成された溝に埋め込まれる構造とすることができる。この場合、水素バリア膜は強誘電体キャパシタの底面及び側面を覆うように溝に埋め込まれるようにする。水素バリア膜は、強誘電体キャパシタに直接接触してもよいし、直接接触しない状態で埋め込まれるようにしてもよい。またこの場合、強誘電体キャパシタの上面にも水素バリア膜を形成することが好ましい。この発明はまた、半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタと、この強誘電体キャパシタを覆って形成された層間絶縁膜とを備えた半導体装置において、前記層間絶縁膜が少なくとも第1及び第2の層間絶縁膜の積層構造により構成され、第1及び第2の層間絶縁膜の間に水素バリア膜が埋め込まれていることを特徴とする。即ち水素バリア膜は、強誘電体キャパシタに直接接触させる必要はなく、強誘電体キャパシタを覆う層間絶縁膜の内部に水素バリア膜を埋め込むことによって、強誘電体キャパシタへの水素拡散を抑制することができ、強誘電体特性の劣化を防止することができる。この場合、層間絶縁膜のうち、水素バリア膜と強誘電体キャパシタの間に挟まれる部分の厚みは、強誘電体キャパシタの厚みの0.05倍以上で3倍以下とすることが好ましく、この部分は水素バリア膜と強誘電体キャパシタとが直接接触することによる反応を防止する働きをする。

【0008】更にこの発明において、下部電極とその下の絶縁膜の間に水素バリア膜を介在させる場合には、水素バリア膜は強誘電体膜及び下部電極と自己整合されてドライエッチング加工される。この場合、エッチング面が垂直に近い加工面となる場合には、加工された強誘電体膜と下部電極の側面には、エッチングされた水素バリア膜の再堆積が生じ、これがキャパシタ側面の有効な水素バリア膜となる。水素バリア膜は前述のように、比抵抗の大きいものであることが望ましいが、具体的にそれが使用される箇所に応じて、次のような材料が用いられる。まず、強誘電体キャパシタの下部電極と絶縁膜の間に形成される水素バリア膜としては、抵抗の小さいものであっても許容されるため、Al₂O₃、Al_xO_y、AlN、WN、SrRuO₃、IrO_x、ZrO_x、RuO_x、SrO_x、ReO_x、OsO_x、MgO_x等の金属酸化物から少なくとも一種選ばれる。強誘電体キャパシタの上部電極表面に形成される水素バリア膜も同様である。強誘電体キャパシタの上部電極の上側表面から側面を経て強誘電体膜の側面、更に下部電極の上面のまで延在させる水素バリア膜としては、高抵抗であること、具体的には $1\text{ k}\Omega\text{ cm}$ 以上の比抵抗のものが必要であり、Al₂O₃、Al_xO_y、ZrO_x、MgO_x等の金属酸化物から少なくとも一種が選ばれる。

【0009】また、キャパシタを覆う層間絶縁膜に埋め込まれる水素バリア膜は、 Al_2O_3 、 Al_xO_y 、 TiO_x 、 ZrO_x 、 MgO_x 、 $MgTiO_x$ 等の金属酸化物が少なくとも一種選ばれる。この発明はまた、半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタとを備えた半導体装置において、前記強誘電体膜と前記下部電極との間に第1の $SrRuO_3$ 膜が、前記強誘電体膜と前記上部電極との間に第2の $SrRuO_3$ 膜がそれぞれ形成され、且つ前記第1及び第2の $SrRuO_3$ 膜の各厚み $T_{sro}(BE)$ (nm) 及び $T_{sro}(TE)$ (nm) が、前記強誘電体膜の厚み T_{pzt} (nm) に対して、 $10 \leq T_{sro}(BE) + T_{sro}(TE) \leq (2/12) T_{pzt}$ の範囲に設定されていることを特徴とする。この様に、強誘電体膜の上下界面に、 $SrRuO_3$ 膜をその合計厚みが強誘電体膜厚との関係で一定範囲に入るように介在させることにより、強誘電体キャパシタの疲労特性が大きく改善される。特にその合計厚みを、 $T_{sro} \leq (2/15) T_{pzt}$ の範囲に設定すると、一層好ましいことが実験的に確認されている。

【0010】この発明は更に、トランジスタが形成された半導体基板と、この半導体基板を覆い且つ前記トランジスタの拡散層に接続されるコンタクトプラグが埋め込まれた絶縁膜と、この絶縁膜上に形成されて前記コンタクトプラグを介して前記トランジスタに接続された強誘電体キャパシタとを有する半導体装置において、前記強誘電体キャパシタは、下部電極と、この下部電極上に下部電極と同じ面積で形成された強誘電体膜と、この強誘電体膜上に強誘電体膜より小さい面積をもって形成された上部電極と、前記上部電極の側壁に自己整合されて形成されて前記強誘電体膜の表面を覆う保護膜とを有することを特徴とする。この様に、コンタクトプラグ上に強誘電体キャパシタを形成するCOP (Capacitor On Plug) 構造において、上部電極側壁に自己整合された保護膜を形成することにより、一回のリソグラフィ工程で強誘電体膜にフリンジを持たせた構造が得られる。そしてこのフリンジ構造により、加工プロセスでの強誘電体特性の劣化が防止される。この発明は更に、半導体基板と、この半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタと、この強誘電体キャパシタ上に層間絶縁膜を介して形成されて前記上部電極に接続される配線と備えた半導体装置において、前記配線の前記上部電極に対するコンタクトの面積が前記上部電極の面積に対して50%以上となるように設定されていることを特徴とする。

【0011】上述のように、上部電極に対するコンタクトを大きく設定することにより、コンタクト孔を開けた段階での回復熱処理による強誘電体膜特性の回復が効果的に行われ、優れた強誘電体キャパシタが得られる。この発明は更に、キャパシタ上に形成された水素バリア膜

は、前記水素バリア膜上層間絶縁膜平坦化時の、ストッパーにする事も可能である。また、前記水素バリア膜上に Si_xNy あるいは $Si_xO_yN_z$ を堆積させた膜構造でCMPの際のストッパーをより完全にできる。

【0012】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1乃至図5は、実施の形態1によるFRAMの強誘電体キャパシタの製造工程を示す。図1に示すように、シリコン基板1にトランジスタ（図示せず）を形成した後、その表面をシリコン酸化膜等の層間絶縁膜2で覆い平坦化する。層間絶縁膜2上に密着層を兼ねた水素バリア膜として約10nmの酸化アルミニウム膜（以下、 Al_2O_3 膜）101を例えばスパッタにより堆積し、その上に更に約100nmの下部Pt電極膜30を例えばスパッタにより堆積する。下部Pt電極膜30上に更に、約150nmのPZT膜4を例えばスパッタ法又はゾルゲル法により堆積する。その後PZT膜4は、例えば650℃の酸素雰囲気中でのRTA (Rapid Thermal Anneal) 処理により結晶化させる。上記結晶化処理において、 Al_2O_3 膜101がPZT膜4中のPbの下地層間絶縁膜2への拡散を抑制する。これにより、PZT膜4のPb濃度の制御が容易になり、またPbの層間絶縁膜2への拡散によるトランジスタ特性の劣化が防止される。

【0013】結晶化処理したPZT膜4上には更に、50nm程度の上部Pt電極膜50をスパッタにより堆積し、更にこの上に密着層を兼ねた水素バリア膜として Al_2O_3 膜102を約10nm堆積する。 Al_2O_3 膜102上には更に、図2に示すように、ハードマスク材料膜として SiO_2 膜（又は $SiNx$ 膜）103をプラズマCVDにより堆積し、レジストパターン（図示せず）を形成してこれをパターン加工し、引き続き上部Pt電極50をパターン加工する。ここで、 SiO_2 膜103の膜厚は、上部Pt電極50の1.2倍乃至4倍程度とする。 Al_2O_3 膜102は、ハードマスク材料膜の密着層としてのみならず、ハードマスク材料膜堆積工程でのキャパシタ材料膜のダメージを防止する働きをする。本発明者の実験によると、下部Pt電極膜30の下地の水素バリア膜及び上部Pt電極50の水素バリア膜は、水素の拡散定数が $1E-5 cm^2/s$ 以下の金属酸化物膜がよく、 Al_2O_3 膜の他、 Al_xO_y 膜、 AlN 膜、 WN 膜、 $SrRuO_3$ 膜、 IrO_x 膜、 RuO_x 膜、 ReO_x 膜、 OsO_x 膜、 ZrO_x 膜、 MgO_x 膜等の金属酸化物膜の少なくとも一種を用いて同様の効果が得られること、その膜厚は少なくとも1nm以上で効果が得られることが確認されている。

【0014】次に、図3に示すように、酸化膜103を除去し、パターニングされた上部Pt電極5及び露出したPZT膜4を覆って、再度水素バリア膜となる Al_2

O₃膜104を10nm程度堆積する。その後、図4に示すように、SiO₂膜(又はSiNx膜)105をプラズマCVDにより堆積し、これを上部Pt電極5を覆うハードマスクとしてパターン形成する。このときAl₂O₃膜104は、ハードマスクであるSiO₂膜105との密着層としてのみならず、その膜堆積工程でのキャパシタ材料膜のダメージを防止する働きをする。このAl₂O₃膜104の他、AlxOy膜、AlN膜、WN膜、SrRuO₃膜、IrOx膜、RuOx膜、ReOx膜、OsOx膜、ZrOx膜、MgOx膜等の金属酸化物膜の少なくとも一種を用いることができる。しかしここは高抵抗であることが必要であり、好ましくは比抵抗が1kΩcm以上の金属酸化物として、Al₂O₃の他に、AlxOy、ZrOx、MgOx膜等の少なくとも一種を用いることが好ましい。そして、SiO₂膜105をマスクとして、Al₂O₃膜104、PZT膜4及び下部Pt電極3をパターン加工して強誘電体キャパシタCを得る。このとき、下部Pt電極3の下地のAl₂O₃膜101をもパターン加工する。強誘電体キャパシタCは、図示のように、上部Pt電極5より大きい面積のPZT膜4と下部Pt電極3を持つようにパターン加工される。この後、SiO₂膜105を除去し、或いは残したまま、図5に示すように層間絶縁膜6を堆積し、コンタクト孔を開口して端子配線7を形成する。層間絶縁膜6の堆積に先立って、強誘電体キャパシタC全体を覆うように、再度Al₂O₃膜を堆積してもよい。

【0015】この実施の形態によると、密着層兼水素バリア膜として、チタンを含まないAl₂O₃等の金属酸化物膜を用いることにより、TiOx、TiN等のチタンを含む材料膜を用いた場合に比べて、強誘電体特性やトランジスタ特性の劣化が少なく、優れた特性のFRAMを得ることができる。即ち、Al₂O₃膜の水素バリア膜によりキャパシタ領域への水素拡散が効果的にブロックされる。また、PZT膜は層間絶縁膜との接触が殆どなく、Pbの外方拡散が抑制され、更にTiを用いないことからPZT膜へのチタン拡散のなく、優れた特性が得られる。更に、Al₂O₃膜102を設けることは、この上にマスク材103を形成する際のダメージ防止の作用を持つ。但し、この実施の形態において、水素バリア膜は、強誘電体キャパシタの上下、更に上部電極から強誘電体膜の側面に延在するように、3層用いているが、これらのうちいずれか一層のみ或いは二層を用いることによって効果がある。

【実施の形態2】図6乃至図11は、実施の形態2によるFRAMの強誘電体キャパシタ製造工程を示す。この実施の形態では、強誘電体キャパシタの上部電極の上側表面にのみ水素バリア膜を形成する。まず図6に示すように、シリコン基板1にトランジスタ(図示せず)を形成した後、その表面をシリコン酸化膜等の層間絶縁膜2で覆い平坦化する。層間絶縁膜2上にチタンを含まない

密着層を介して約100nmの下部Pt電極膜30を例えばスパッタにより堆積する。下部Pt電極膜30上に更に、約150nmのPZT膜4を例えばスパッタ法又はゾルゲル法により堆積する。その後PZT膜4は、例えば650℃の酸素雰囲気中でのRTA(Rapid Thermal Anneal)処理により結晶化させる。

【0016】PZT膜4上には、上部Pt電極膜50を50nm程度堆積し、この上に更に水素バリア膜202を10nm程度堆積する。水素バリア膜202としては、水素の拡散定数が $1E-5\text{ cm}^2/\text{s}$ 以下の金属酸化物膜がよく、代表的にはアルミニウム酸化物(Al₂O₃)膜であるが、その他AlxOy膜、AlN膜、WN膜、SrRuO₃膜、IrOx膜、RuOx膜、ReOx膜、OsOx膜、MgOx膜、ZrOx膜等の中の少なくとも一種を用い得る。図7に示すように、水素バリア膜202上には、ハードマスク材としてシリコン窒化膜(SixNy膜)203(又はSixOyNz膜)をプラズマCVD法により堆積する。この絶縁膜堆積の工程で水素バリア膜202は、プラズマCVD法による下地のプラズマダメージを防止すると共に、絶縁膜の密着性を向上させる働きをする。次いで、SixNy膜203上にレジストパターン(図示せず)を形成し、このレジストパターンを用いてSixNy膜203をエッチング加工する。得られたSixNy膜203をマスクとして、図7に示すように、Al₂O₃膜202及び上部Pt電極5をエッチング加工する。更に、図8に示すように、SiO₂等のハードマスク204を上部Pt電極5を覆うようにパターン形成し、これを用いてPZT膜4及び下部Pt電極膜30をエッチングして、PZT膜4と下部Pt電極3が上部Pt電極5より大きい面積を持って自己整合された強誘電体キャパシタCが得られる。またその後、全面にAl₂O₃膜を形成してもよい(図示せず)。

【0017】その後、図9に示すように、強誘電体キャパシタを覆うSiO₂膜からなる層間絶縁膜6を堆積する。そして、CMP処理により層間絶縁膜6を平坦化する。このとき、SixNy膜203が平坦化処理のストッパとなり、図10に示す平坦化構造が得られる。その後、図11に示すようにコンタクト孔を開口して、上部Pt電極5に接続される端子配線7を形成する。この実施の形態によっても、上部Pt電極を覆う水素バリア膜により、PZT膜への水素拡散が抑制されて、優れた強誘電体キャパシタ特性が得られる。またこの実施の形態の場合、水素バリア膜はその上に形成されたハードマスクであるSiN膜により上部Pt電極と共にパターン加工される。そして、ハードマスクはそのまま残されて、後の平坦化処理のストッパとして用いられ、キャパシタ形成後の確実な平坦化が図られる。更にTiを用いないことからPZT膜へのチタン拡散のなく、優れた特性が得られる。

【実施の形態 3】図 12 乃至図 16 は、実施の形態 3 による FRAM の強誘電体キャパシタ製造工程を示す。この実施の形態では、強誘電体キャパシタの上側表面から側面、更に強誘電体膜の側面を経て、下部電極の上側表面に延在するように水素バリア膜を形成する。図 12 に示すように、シリコン基板 1 にトランジスタ（図示せず）を形成した後、その表面をシリコン酸化膜等の層間絶縁膜 2 で覆い平坦化する。層間絶縁膜 2 上にチタンを含まない密着層 301 を介して約 100 nm の下部 Pt 電極膜 30 をスパッタにより堆積する。下部 Pt 電極膜 30 上に更に、約 150 nm の PZT 膜 4 をスパッタ法又はゾルゲル法により堆積する。その後 PZT 膜 4 は、650℃の酸素雰囲気中での RTA (Rapid Thermal Anneal) 処理により結晶化させる。PZT 膜 4 上には、上部 Pt 電極膜 50 を 50 nm 程度堆積する。

【0018】上部 Pt 電極膜 50 上には、SiO₂膜 302 をプラズマ CVD 法により堆積し、この SiO₂膜 302 をハードマスクとしてパターン形成する。そして、図 13 に示すように、上部 Pt 電極膜 5 及び PZT 膜 4 を順次エッチング加工する。このエッチング加工は、下部 Pt 電極膜 30 の表面を一部エッチングするまで行う。そしてマスクとして用いた SiO₂膜 302 を除去した後、図 14 に示すように、水素バリア膜 303 を堆積する。この水素バリア膜 303 は、水素の拡散定数が $1 \text{E}-5 \text{ cm}^2/\text{s}$ 以下の膜であるとが好ましく、代表的にはアルミニウム酸化物 (Al₂O₃) 膜であるが、その他 Al_xO_y膜、AlN 膜、WN 膜、SrRuO₃膜、IrO_x膜、RuO_x膜、ReO_x膜、OsO_x膜、MgO_x膜、ZrO_x膜等の中の少なくとも一種を用い得る。但し、この実施の形態の水素バリア膜は高抵抗であることが必要であり、この点から好ましくは比抵抗が $1 \text{ k}\Omega\text{-cm}$ 以上の金属酸化物膜として、Al_xO_y、ZrO_x、MgO_x膜等の少なくとも一種を用い得ることができる。その後、図 15 に示すように、キャパシタ領域を覆う SiO₂膜 304 のハードマスクを再度パターン形成し、このマスクを用いて、水素バリア膜 303、下部 Pt 電極膜 3 及び密着層 301 をエッチング加工して、強誘電体キャパシタ C を形成する。そして、マスクを除去して、図 16 に示すように、層間絶縁膜 6 を堆積し、コンタクト孔を開口して端子配線 7 を形成する。

【0019】この実施の形態によると、上部 Pt 電極 5 と PZT 膜 4 が自己整合されたパターン形成され、下部 Pt 電極 3 がこれらより大きい面積をもって形成される。そして上部 Pt 電極 5 の上面から、上部 Pt 電極 5 と自己整合的にパターン形成される PZT 膜の側面、及び下部 Pt 電極の表面にまで延在して水素バリア膜 303 が形成される。これにより、その後の工程での PZT 膜 4 の下部電極界面への水素拡散が抑制され、優れた強誘電体特性が得られる。また、PZT 膜は層間絶縁膜と接触せず、Pb の拡散が防止される。更に Ti 密着層を

用いないから、PZT 膜への Ti 拡散がなく、優れた特性が得られる。

【実施の形態 4】図 17 乃至図 20 は、実施の形態 4 による FRAM の強誘電体キャパシタ製造工程を示す。この実施の形態では、強誘電体キャパシタを覆う層間絶縁膜内部に強誘電体キャパシタを囲むように水素バリア膜を介在させる。図 17 に示すように、シリコン基板 1 にトランジスタ（図示せず）を形成した後、その表面をシリコン酸化膜等の層間絶縁膜 2 で覆い平坦化する。この層間絶縁膜 2 上に密着層 401 を介して、下部 Pt 電極 3、PZT 膜 4 及び上部 Pt 電極 5 からなる強誘電体キャパシタ C を形成する。

【0020】具体的には、約 100 nm の下部 Pt 電極膜 3 をスパッタにより堆積し、その上に約 150 nm の PZT 膜 4 をスパッタ法又はゾルゲル法により堆積して、650℃の酸素雰囲気中での RTA (Rapid Thermal Anneal) 処理により結晶化させる。PZT 膜 4 上には、上部 Pt 電極膜 5 を 50 nm 程度堆積する。そしてこれらの積層膜を順次エッチング加工して、強誘電体キャパシタ C を形成する。このとき、図示しないが、第 1 のマスク材を用いて上部 Pt 電極膜 5 をエッチングし、更に第 1 のマスク材より大きい面積の第 2 のマスク材を用いて PZT 膜 4 及び下部 Pt 電極膜 3 のエッチングを行う。この様にパターン形成された強誘電体キャパシタ C を覆って、図 18 に示すように、薄い層間絶縁膜 6a を堆積する。この層間絶縁膜 6a 上に、図 19 に示すように水素バリア膜 402 を堆積し、更に層間絶縁膜 6b を堆積する。即ち、中間部に水素バリア膜 402 を介在させた層間絶縁膜 6a、6b を形成する。なおこの実施の形態の場合、層間絶縁膜 6a の厚みを上部 Pt 電極 5、PZT 膜 4、下部 Pt 電極 3 等の厚みの 0.2 倍以上から 2 倍以下にすることにより、或いは強誘電体キャパシタ C の厚みに対して、0.05 倍以上から 3 倍以下にすることにより、水素バリア膜 402 はカバレッジよく堆積することができる。最後に、図 20 に示すようにコンタクト孔を開けて、上部 Pt 電極 5 に接続される端子配線 7 を形成する。

【0021】この実施の形態においても、水素バリア膜 402 としては、水素の拡散定数が $1 \text{E}-5 \text{ cm}^2/\text{s}$ 以下の膜であり、好ましくは比抵抗が $1 \text{ k}\Omega\text{-cm}$ 以上の金属酸化物膜がよく、代表的にはアルミニウム酸化物 (Al₂O₃) 膜である。この様に、水素バリア膜を層間絶縁膜中に挿入することにより、強誘電体キャパシタの性能劣化が防止される。またこの層間絶縁膜中の水素バリア膜は、最終的に素子上面を覆うパシベーション膜（通常 SiN 膜）を堆積する工程での強誘電体キャパシタのダメージを抑制する。更に、層間絶縁膜 6a の部分は、水素バリア膜と強誘電体キャパシタ C が直接接触することによる反応を防止する働きをする。更に、PZT 膜の Pb 拡散防止の効果、Ti を用いないことによる P

Zr膜へのTi拡散防止の効果が得られる。また、Al₂O₃膜は絶縁膜であるから、パターン加工することなく、層間絶縁膜中全体に全面に入れることができ、拡散層に対するコンタクトの短絡も生じない。更に、水素バリア膜を層間絶縁膜を一層介して形成することにより、水素バリア膜の応力緩和が図られる。この実施の形態の場合、水素バリア膜として、Al₂O₃の他、Al_xO_y、TiO_x、ZrO_x、MgO_x、MgTiO_x等の中の少なくとも一種が有効である。

【0022】〔実施の形態5〕図21は、上記実施の形態4により得られた構造に、更に層間絶縁膜6c、6dを積層し、SiN膜からなるバンプ膜8を形成する際に、層間絶縁膜6c、6dの間に水素バリア膜403を介在させたものである。この様に層間絶縁膜に多層に水素バリア膜を介在させることにより、より一層の水素拡散防止の効果が期待できる。またこの構造により、SiNからなるバンプ膜堆積のダメージが効果的に低減することが確認されている。図22は、図21の構造を基本として、層間絶縁膜6bを平坦化して配線7を形成した構造を示している。図23は更に、図22における層間絶縁膜6aを平坦化して、水素バリア膜402をその平坦面に形成した構造を示している。

〔実施の形態6〕図24は、実施の形態4により得られる構造を変形した実施の形態である。即ちこの実施の形態では、層間絶縁膜6a、6bの間に挿入される水素バリア膜402の底部が、強誘電体キャパシタCの下部Pt電極3の底部より更に、Δtだけ低くなるようにしている。この様な構造とすることにより、水素バリア膜402の下層間絶縁膜中を通して強誘電体キャパシタCの領域まで供給される水素ガスの拡散経路を狭めることができ、より効果的な水素拡散防止が図られる。更に実施の形態5と同様の効果が得られることはいうまでもない。

【0023】図25は、図24の構造を基本として、水素バリア膜402を強誘電体キャパシタCの領域を覆う一定範囲にパターンニングした構造を示している。水素バリア膜402をキャパシタ周辺で下部Pt電極3の底部より下に配置することにより水素拡散防止の効果が大きくなっているため、層間絶縁膜内に全面に入れることなく、この様に部分的に水素バリア膜402を入れても十分な水素拡散防止の効果が期待できる。また、図25では、層間絶縁膜6bを平坦化している。図26は、図21の構造を基本として、水素バリア膜402を強誘電体キャパシタCの領域を覆う一定範囲にパターンニングした構造を示している。図27乃至図29は実施の形態4により得られる構造を変形した実施の形態である。すなわちこの実施の形態では、水素バリア膜402を層間絶縁膜6bのCMP工程での平坦化の際のストッパ膜として用いている。図18に示すように、層間絶縁膜6aを堆積した後、この層間絶縁膜6a上に、図27に示すよう

に、水素バリア膜402を堆積し、更に層間絶縁膜6bを堆積する。なおこの実施の形態の場合、層間絶縁膜の厚みが強誘電体キャパシタCの厚みに対して約0.15倍になるように堆積する。そして図28に示すように、CMP工程の際に水素バリア膜402をストッパ膜として用いて層間絶縁膜6bを平坦化する。更に図29に示すように、層間絶縁膜6b上に層間絶縁膜6cを形成する。最後にコンタクト孔を開けて、上部Pt電極5に接続される端子配線7を形成する。

【0024】この実施の形態において、水素バリア膜402は、水素の拡散定数が $1\text{E}-5\text{cm}^2/\text{S}$ 以下の膜であり、代表的にはアルミニウム酸化膜(Al₂O₃)膜である。その他、Al_xO_y膜、TiO_x膜、MgO_x膜、ZrO_x膜、あるいはその組み合わせ、あるいは前記元素を一種以上含む複合金属酸化物を用いることにより効果がある。この実施の形態によると、キャパシタCと端子配線7との間の層間絶縁膜を所望の膜厚に形成することができる。また、水素バリア膜を層間絶縁膜中に挿入することにより、強誘電体キャパシタの性能劣化が防止される。更に実施の形態4と同様の効果が得られることはいうまでもない。なお、この実施の形態は、図22及び図25に示した実施の形態に用いることも可能である。すなわち、図22及び図25の水素バリア膜402をストッパ膜として用いて層間絶縁膜6bを平坦化し、その上に層間絶縁膜6cを形成して、キャパシタCと端子配線7との間の層間絶縁膜を所望の膜厚に形成するものである。また、この実施の形態は、図16の層間絶縁膜6を所望の膜厚に形成する場合に用いることが可能であることはいうまでもない。図16中の水素バリア膜303をストッパとして用いている。また、他の実施例と組み合わせて用いることも可能である。

【0025】ここで、水素バリア膜402がストッパ膜として不十分な場合、図30に示すように前記402水素バリア膜上にSi_xN_y（もしくはSi_xN_yO_z）からなるストッパ膜402bを100Å程度形成する方法も考えられる。この場合は図31に示されるように、ストッパ膜402bを活用して層間絶縁膜6bを平坦化する。更に図32に示すように、層間絶縁膜6b上に層間絶縁膜6cを形成する。最後にコンタクト孔を開けて、上部Pt電極5に接続される端子配線7を形成する。この水素バリア膜上のストッパSi_xN_y（もしくはSi_xN_yO_z）膜は、図11、16、22、25においても同様な使用方法が可能である。

〔実施の形態7〕図33乃至図36は、実施の形態7によるFRAMの強誘電体キャパシタ製造工程を示す。図33に示すように、シリコン基板1にトランジスタ（図示せず）を形成した後、その表面をシリコン酸化膜等の層間絶縁膜2で覆い平坦化する。この層間絶縁膜2上の強誘電体キャパシタ形成領域には溝701を加工する。そして、図34に示すように、水素バリア膜702を2

17

0 nm程度堆積し、続いて下部Pt電極膜30を約100 nm、PZT膜4を約150 nm堆積する。その後PZT膜4は、650℃の酸素雰囲気中でのRTA (Rapid Thermal Anneal) 処理により結晶化させる。

【0026】続いて、図35に示すように、CMP処理を行って、溝701の外側では水素バリア膜702が除去され、PZT膜4が溝701にのみ埋め込まれた状態になるように平坦化する。そして、図36に示すように、PZT膜4上に水素バリア膜703を堆積し、これに上部電極開口を開けた後、上部Pt電極5をパターン形成する。水素バリア膜703は上部Pt電極5と共にパターン加工する。こうして強誘電体キャパシタCが得られる。この後は図示しないが、層間絶縁膜を堆積し、コンタクト孔を開けて端子配線を形成する。この実施の形態において、水素バリア膜702、703としては、水素の拡散定数が $1 \times 10^{-5} \text{ cm}^2/\text{s}$ 以下の膜であり、好ましくは比抵抗が $1 \text{ k}\Omega\text{-cm}$ 以上の金属酸化物膜がよく、代表的にはアルミニウム酸化物 (Al_2O_3) 膜である。またこの実施の形態の場合水素バリア膜702、703として、 Al_2O_3 の他、 SrRuO_3 , ZrO_x , RuO_x , SrO_x , MgO_x 等が用いられるが、上側の水素バリア膜703は上下電極を短絡することになるため、できるだけ高抵抗膜を用いることが好ましい。この実施の形態によると、特に下部Pt電極3に対する水素拡散が効果的に抑制され、優れた強誘電体キャパシタ特性が得られる。更に、PZT膜へのTi拡散がなく、PZT膜のPbの外方拡散がなく、優れた特性が得られる。更に、水素バリア膜702、下部電極4、PZT膜4は、溝701内に自己整合的に形成することができる。また、水素バリア膜702、下部電極膜30、PZT膜4をエッチング加工によらず、CMP処理により加工している。このため、水素バリア膜702や下部電極30等の側面に段差が形成されず、信頼性のよい強誘電体キャパシタが得られる。

【0027】[実施の形態8] 図37は、上記実施の形態7の構造を変形した実施の形態である。この実施の形態では、層間絶縁膜2に形成した溝701の底面及び側面に水素バリア膜702を形成した後、下部Pt電極3、PZT膜4及び上部Pt電極5を順次溝701に埋め込んでいる。そして、更に水素バリア膜707でキャパシタCの領域を覆い、層間絶縁膜6を堆積した後、コンタクト孔を開いて端子配線7を形成している。この実施の形態によると、PZT膜に対する水素拡散がより効果的に抑制され、優れた強誘電体キャパシタ特性が得られる。更に、PZT膜へのTi拡散がなく、PZT膜のPbの外方拡散がなく、優れた特性が得られる。更に、強誘電体キャパシタ全体が溝701内に自己整合的に形成される。

【実施の形態9】 図38は、実施の形態8を更に進めて、上部の水素バリア層703まで溝701に埋め込む

18

ようにした実施の形態である。これらの実施の形態によると、強誘電体キャパシタの全体を水素バリア膜で覆った状態になり、水素拡散に影響を一層効果的に低減することができる。更に、PZT膜へのTi拡散がなく、PZT膜のPbの外方拡散がなく、優れた特性が得られ、強誘電体キャパシタ全体が溝701内に自己整合的に形成されるという効果が得られる。

【0028】[実施の形態10] 図39乃至図41及び図42乃至図43は、下部Pt電極の下に水素バリア膜を形成する実施の形態において、その製造工程で自動的にPZT膜側面にも水素バリア膜を形成するようにしたFRAMのキャパシタ製造工程を示す。図39に示すように、トランジスタが形成されたシリコン基板1に層間絶縁膜2を形成した後、この上に水素バリア膜801を介して、下部Pt電極膜30、PZT膜4及び上部電極膜50を順次堆積する。PZT膜4に対して結晶化熱処理を行うことは、先の各実施の形態と同様である。水素バリア膜801としては、水素の拡散定数が $1 \times 10^{-5} \text{ cm}^2/\text{s}$ 以下の金属酸化物膜がよく、代表的にはアルミニウム酸化物 (Al_2O_3) 膜である。またこの実施の形態の場合水素バリア膜801として、 Al_2O_3 の他、 SrRuO_3 , ZrO_x , RuO_x , SrO_x , MgO_x 等の少なくとも一種が用いられる。この後、図40に示すように、上部Pt電極5をパターン形成する。その後、図41に示すように、 SiO_2 膜802を堆積し、レジストパターン803を用いてこれを上部Pt電極5を覆うようにパターン形成する。こうしてパターン形成された SiO_2 膜802をマスクとして、PZT膜4、下部Pt電極膜30及び水素バリア膜801に対して、RIE等のドライエッチングを行い、PZT膜4と下部Pt電極3を上部Pt電極5より大きい面積をもってパターン加工する。これにより、図42に示すように強誘電体キャパシタCが得られる。

【0029】上述のPZT膜4、下部Pt電極膜3及び水素バリア膜801のドライエッチング工程では、PZT膜4及び下部Pt電極膜30が垂直に近い側壁、具体的には75°以上の急傾斜面となるようにエッチングされる条件を用いる。この様なエッチング条件を用いると、図42に示すように、加工されたPZT膜4及び下部Pt電極3の側面には再堆積膜804が形成される。この再堆積膜804は、水素バリア膜801の材料のほか、PZT膜4、Pt膜、 SiO_2 膜等のエッチングされたものを含むが、水素バリア膜材料膜を含むために一定の水素バリア効果を示すものとなる。その後、図43に示すように、層間絶縁膜6を堆積し、コンタクト孔を開けて端子配線7を形成する。この実施の形態によると、強誘電体キャパシタCの側面に自動的に水素バリア効果を持つ保護膜を形成することができる。PZT膜へのTi拡散、PZT膜のPbの外方拡散がなく、優れた特性が得られる。更に、上部電極5を絶縁膜で覆った状

態でPZT膜4及び下部電極3を大きい面積で加工しており、上下電極の短絡自己も確実に防止される。

【実施の形態11】図44は、実施の形態11によるFRAMの強誘電体キャパシタ構造を示す。従来のPt/PZT/Pt構造の強誘電体キャパシタでは、多層配線工程を経ることにより、水素還元作用等により、強誘電体特性の劣化が認められる。具体的には、1E5から1E8回の自発分極スイッチにより、自発分極量は大きく低下する。この実施の形態においては、図44に示すように、上下電極5、3とPZT膜4の間に $Sr_xRu_yO_z$ 膜（但し、組成比 x 、 y は零の場合を含み、以下で単にSRO膜という）901、902を介在させ、且つその厚みをPZT膜4の厚みとの関係で所定範囲に設定することにより、疲労特性の改善を図る。

【0030】具体的な製造工程は、層間絶縁膜2上に下部Pt電極3とSRO膜901をスパッタにより堆積して、結晶化アニールを行う。次いでPZT膜4をガス圧2～4.5Paの条件で厚スパッタにより堆積し、続けてSRO膜902を堆積して、この段階で結晶化アニールを行う。更に上部Pt電極5をスパッタにより堆積して再度、結晶化アニールを行う。この後、キャップ材と

なるシリコン酸化膜を堆積し、リソグラフィ工程及びRIE工程を経て、上部Pt電極をパターン形成する。続いて、別のリソグラフィ工程とRIE工程により、PZT膜及び下部Pt電極をパターン形成する。この段階で650℃の回復アニールを行う。この後図示しないが、層間絶縁膜を堆積し、上部Pt電極に対するコンタクト孔を開け、再度650℃の回復アニールを行い、配線を形成する。実際の工程では、PZT膜4の膜厚 T_{pzt} (nm)、SRO膜901、902の各膜厚 $T_{sro}(BE)$ (nm)、 $T_{sro}(TE)$ (nm)、PZT膜4の結晶化温度(℃)等をパラメータとして種々のテストサンプルを作り、特性の評価を行った。下記表1は、そのテストサンプルの条件と評価結果を示している。各サンプルでは、 $T_{sro}(BE) = T_{sro}(TE)$ とし、これを以下では単に T_{sro} として示す。但し、サンプルNo. 12は、下部電極側にのみSRO膜を設けた例、No. 13はいずれにもSRO膜を設けない例である。評価結果は、自発分極量 Q_{SW} ($\mu C/cm^2$)と、総合評価(○は良、△はやや良、×は不良)を示した。

【0031】

21 [表1]		22				
サンプル	評価	TPzt	TSro	結晶化温度	QSW	総合
No.		(nm)	(nm)	(°C)	($\mu\text{C}/\text{cm}^2$)	
1	○	150	10	550	15.6	
2	○	150	10	650	18.1	
3	×	150	10	750	リーク大	
4	○	150	10	650	22	
5	×	150	20	650	21.6(リーク有)	
6	○	150	10	650	22.7	
7	△	150	5	650	17.6	
8	×	150	2	650	リーク大	
9	△	120	10	650	16.2	
10	×	90	10	650	17.8(リーク有)	
11	○	220	10	650	22.4	
12	×	150	10(下のみ)	650	12.4	
13	×	150	—	650	7.6	

なお、リーク特性については直流5Vを印加したときのリーク電流が、 $10\sim4\text{A}/\text{cm}^2$ を超えるものを不良と判定し、また総合評価はリーク特性の他、自発分極特性の角形比を含めて判定を行った。

【0032】以上の結果から、主要なテストサンプルのデータに基づいて、PZT膜の厚みTpztとSRO膜の厚みTsroの関係で特性の良否を示したのが、図45である。サンプルNo. 7から明らかのように、SRO膜の厚みTsroが5nm、従って上下SRO膜の合計膜厚10nm未満では、良好な結果が得られていない。そして図45の一点鎖線AとSRO膜の厚みTsroの現在の技術で形成可能な最小値5nmで区切られる斜線の範囲で、ほぼ良好な結果が得られる。この斜線の範囲はほぼ、 $10 \leq \text{Tsro}(\text{BE}) + \text{Tsro}(\text{RE}) \leq (3/20) \text{Tpzt} - 2$ と表される。概略的にはこの範囲は、 $10 \leq \text{Tsro}(\text{BE}) + \text{Tsro}(\text{TE}) \leq (2/12) \text{Tpzt}$ で近似される。特に好ましくは、実線B以下の範囲であり、これは概略、 $10 \leq \text{Tsro}(\text{BE}) + \text{Tsro}(\text{TE}) \leq (2/15) \text{Tpzt}$ となる。結晶化温度については、750°CのサンプルNo.

3ではリークが大きく、これは結晶化アニールが過大であることを示している。図46は、上述のテストサンプルNo. 4について、疲労テスト（交流5Vのストレスをパルス幅20 μS で3E10回印加）を行った後の自発分極量（実線）を初期状態（破線）と共に示したものである。図47は、同じく疲労テスト回数と自発分極量の大きさの関係を示している。図46から、初期状態で約20 $\mu\text{C}/\text{cm}^2$ であるのに対し、疲労後は30 $\mu\text{C}/\text{cm}^2$ となっており、初期状態に比べて特性が改善されていることが分かる。

【0033】即ち、図に示したような、Pt/SRO/PZT/SRO/Pt構造の強誘電体キャパシタを形成した場合、前述の不等式を満たす範囲内でPZT膜とSRO膜の厚みを選択すれば、疲労特性の向上した強誘電体キャパシタが得られる。つまり、書き換え回数が増加するほど、特性がよくなる強誘電体キャパシタを得ることができる。

【実施の形態12】PZT膜を用いた強誘電体キャパシタを持つFRAMは、キャパシタの加工プロセスダメー

ジによる特性劣化が問題になる。通常この加工プロセスダメージに対しては、キャパシタ形成後、金属配線形成前に、酸素雰囲気中の高温熱処理によるダメージ回復処理が行われる。金属配線形成後は、高温熱処理ができない。しかしながら、このダメージ回復過程については、これまで十分な検討がなされておらず、回復不完全である場合が多い。そして、ダメージ回復が不完全であると、それ以降のプロセスでのダメージに対する耐性も低下し、最終的なFRAMの電気的特性、信頼性及び歩留まりの低下をもたらす。この実施の形態では、強誘電体キャパシタのコンタクト構造の改良により、ダメージ回復を確実なものとする。

【0034】図48は、この実施の形態によるFRAMの構造を示す。シリコン基板1には、強誘電体キャパシタCと共にメモセルを構成するトランジスタQが形成されている。トランジスタQは、シリコン基板1にゲート絶縁膜11を介して形成されたゲート電極12と、これに自己整合されて形成されたn型拡散層13とから構成される。このトランジスタQが形成された基板は、層間絶縁膜2で覆われて平坦化される。層間絶縁膜2にはn型拡散層13に対するコンタクトプラグ14が埋め込まれる。層間絶縁膜2上に、下部Pt電極3、PZT膜4及び上部電極5からなる強誘電体キャパシタCが形成されている。この強誘電体キャパシタCが形成された基板には更に層間絶縁膜6が形成され、この層間絶縁膜6上にキャパシタCの上部電極5とトランジスタQのn型拡散層13を接続する第1層金属配線7が形成される。ここでこの実施の形態では、金属配線7の強誘電体キャパシタCに対するコンタクト21は、その上部電極面積Xに対するコンタクト面積Yが、 $Y/X \geq 0.5$ を満たすように設定したことを特徴としている。通常コンタクトの大きさは、デザインルールに従って一定とされ、金属配線7のn型拡散層13に対するコンタクト22と、強誘電体キャパシタCに対するコンタクト21を同じ大きさとなるのが一般的である。これに対しこの実施の形態では、キャパシタCに対するコンタクト21を拡散層13に対するコンタクト22に比べて大きく設定している。そして、このキャパシタCに対するコンタクト21の大きさが、金属配線形成前のダメージ回復処理において有効になる。

【0035】図49乃至図51はこの実施の形態において、キャパシタCに着目した製造工程を示している。層間絶縁膜2上に密着層としてTi膜をスパッタにより約20nm堆積し、その上に約150nmの下部Pt電極膜30をスパッタにより堆積する。下部Pt電極膜30上に更に、約200nmのPZT膜4をスパッタ法又はゾルゲル法により堆積する。その後PZT膜4は、650℃の酸素雰囲気中でのRTA (Rapid Thermal Anneal) 処理により結晶化させる。PZT膜4上には、上部電極膜50を堆積する。上部電極膜50は、175nm程

度のPt膜又は、SrRuOx (1nm) / Pt (175nm) の積層膜とする。上部電極膜50を図示しないマスク材を用いてエッチングし、パターン形成された上部電極5を覆うマスク材を用いて更にPZT膜4、下部Pt電極膜30及びTi膜をエッチング加工する。この状態で、650℃の酸素雰囲気中でダメージ回復のための熱処理を行う。更に層間絶縁膜6を堆積し、コンタクト孔21を開ける。このとき上述のように、強誘電体キャパシタCに対するコンタクト21は、その上部電極面積Xに対するコンタクト面積Yが、 $Y/X \geq 0.5$ を満たすように設定する。この状態で、再度、650℃の酸素雰囲気中でダメージ回復のための熱処理を行う。その後、Ti/Al膜による配線を形成する。

【0036】図52及び図53はそれぞれ、上部電極としてPt膜、SRO/Pt膜を用いた場合について、上部電極コンタクト面積の大きさと、分極量の関係を測定した結果を示している。各図の実線は、上部電極コンタクト孔を開口した状態での分極量であり、一点鎖線はその状態で回復アニールを行い、配線を形成した後の分極量である。従来の一般的な上部コンタクト面積比は、0.1程度であり、このとき図52では、コンタクト孔形成後の分極量に比べて配線形成後の分極量が小さい。上部電極コンタクト面積比を0.5以上にすると、コンタクト孔形成後の分極量に比べて、回復アニールを行って配線形成した後の分極量が顕著に大きくなっている。図53でも同様の傾向が認められる。これらの図から明らかに、上部電極コンタクト面積比を0.5以上とすることにより、顕著な回復特性を示している。

【実施の形態13】図54は、COP構造のFRAMの実施の形態であり、一回のリソグラフィ工程でセルフアラインされた微細な強誘電体キャパシタを形成する実施の形態である。以下に、図55乃至図61を参照して具体的に製造工程を説明する。シリコン基板1にはまず、STI (Shallow Trench Isolation) により素子分離絶縁膜31を形成する。素子分離絶縁膜31はLOCOS法によって形成してもよい。その後シリコン基板にはしきい値調整のためのイオン注入を行った後、ゲート酸化膜11を形成し、n型多結晶シリコンとWSi等のシリサイド膜の積層構造からなるゲート電極12を形成する。ゲート電極12はリソグラフィによりワード線としてパターン形成する。このゲート電極形成にセルフアラインシリサイド (サリサイド) 工程を用いることもできる。ゲート電極12の周囲には熱酸化により保護膜32を形成する。この保護膜32として堆積膜を用いてもよい。その後イオン注入により、ソース、ドレイン領域にn型拡散層13を形成する (図55)。

【0037】次いで、第1の層間絶縁膜2を堆積し、平坦化した後、n型拡散層13に対するコンタクト孔を開ロシ (図56)、このコンタクト孔にコンタクトプラグ16を埋め込む (図57)。このコンタクトプラグ14

の埋め込みは、導電性材料例えばタングステンをスパッタ或いは気相成長法で堆積し、これをCMP処理により平坦化することで行われる。タングステンの選択成長等によりコンタクトプラグ14を埋め込んでもよい。この後、コンタクトプラグ14が埋め込まれた層間絶縁膜2上に、キャパシタ形成用の下部Pt電極膜30、PZT膜4及び上部Pt電極膜50を順次堆積する。PZT膜4は堆積後、650℃～700℃で結晶化アニールを行う。下部Pt電極30及び上部Pt電極50とPZT膜4の間には、先の実施の形態11で説明したように、SRO膜を介在させることが好ましい。以上の積層膜形成後、シリコン酸化膜或いはシリコン窒化膜等のハードマスク材33を堆積し、その上にレジストパターン35をパターン形成する(図58)。そして、異方性エッチングによりハードマスク材33をパターン加工し、レジストパターンをアッシング除去した後、上部電極材料膜50をエッチングして、上部電極5をパターン加工する(図59)。

【0038】次いで、再度ハードマスク材34を堆積する(図60)。このハードマスク材34は、先のハードマスク材33と同じ材料が好ましいが、異なる材料膜であってもよい。このハードマスク材34の厚みは、PZT膜4の厚みと同程度から2倍以下のものとする。これは、上部電極5の端部から下部電極へと抜ける電気力線がおおよそPZT膜4の膜厚分外側に延びるため、その分の側壁膜厚を必要とするためである。またプロセスダメージの緩和を考えると、十分な側壁膜厚を確保することが好ましいが、微細化との兼ね合いから、この程度の膜厚とすることが最適である。そして、ハードマスク材34を異方性ドライエッチングによりエッチバックして、第1のハードマスク33と上部電極5の側壁のみに保護膜として残す(図61)。この後、ハードマスク33、34をマスクとして用いてPZT膜4と下部Pt電極膜30を異方性エッチングによりパターン加工する(図54)。これにより、PZT膜4と下部Pt電極3が、上部Pt電極5より一定の面積の広がりを持つ構造、即ちフリンジ構造の強誘電体キャパシタCが得られる。なおこの実施の形態においても、先に実施の形態1以下で説明したような水素バリア膜を設けることが、信頼性上好ましい。

【0039】以上のようにこの実施の形態によれば、1回のリソグラフィ工程で上部電極に対して強誘電体膜にフリンジを持たせた強誘電体キャパシタが得られる。この様なフリンジがあることにより、後のプロセスでのダメージから強誘電体キャパシタを保護することができる。また下部電極が上部電極より外側に延在することで、下部電極をエッチング加工するときにPZT膜側面に生じる堆積膜(フェンス)が上部電極に接触する事態を防止することができる。更に、上部電極端部と下部電極の間の電気力線が強誘電体膜を通ることになり、上部

電極が大きな面積を持つ場合と等価の作用が得られる。以上の実施の形態では、図54で説明したCOP構造の実施の形態を除き、上部電極が各強誘電体キャパシタの個別端子となる。従って下部電極については、複数のメモリセルで共通にプレートに接続する必要がある。これは説明を省略したが、例えば各図の素子断面に直交する方向に下部電極を連続的にパターン形成することによりプレートとすればよい。図54の実施の形態の場合には、上部電極を連結するプレートが設けられることになる。また、ここまでの実施の形態では、強誘電体膜としてPZT膜を用いたが、他のペロブスカイト型結晶構造を持つ層状酸化物強誘電体、例えばPLZT(Pb, La)(Zr, Ti)O₃や、SBT(SrBi₂Ta₂O₉)を用いた場合にも同様にこの発明を適用することができる。

【0040】更に、実施の形態11は、Pt電極の代わりにIr等の他の金属電極を用いた場合も有効であり、それ以外の実施の形態は、Pt電極の他、Ir電極や金属酸化物IrOx, RuOx, SrRuOx等の電極、或いはそれらの複合電極を用いた場合にも有効である。

【0041】

【発明の効果】以上述べたようにこの発明によれば、加工プロセスで生じる水素還元作用による強誘電体キャパシタの特性劣化を抑制して、優れた特性の強誘電体キャパシタを持つ半導体装置を得ることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるFRAMの強誘電体キャパシタの製造工程を示す図である。

【図2】この発明の実施の形態1によるFRAMの強誘電体キャパシタの製造工程を示す図である。

【図3】この発明の実施の形態1によるFRAMの強誘電体キャパシタの製造工程を示す図である。

【図4】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図5】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図6】この発明の実施の形態2によるFRAMの強誘電体キャパシタの製造工程を示す図である。

【図7】この発明の実施の形態2によるFRAMの強誘電体キャパシタの製造工程を示す図である。

【図8】この発明の実施の形態2によるFRAMの強誘電体キャパシタの製造工程を示す図である。

【図9】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図10】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図11】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図12】この発明の実施の形態3によるFRAMの強誘電体キャパシタの製造工程を示す図である。

【図 13】この発明の実施の形態 3 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 14】この発明の実施の形態 3 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 15】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図 16】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図 17】この発明の実施の形態 4 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 18】この発明の実施の形態 4 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 19】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図 20】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図 21】この発明の実施の形態 5 による FRAM の強誘電体キャパシタの構造を示す図である。

【図 22】同実施の形態の構造を変形した構造を示す図である。

【図 23】図 22 の実施の形態の構造を変形した構造を示す図である。

【図 24】この発明の実施の形態 6 による FRAM の強誘電体キャパシタの構造を示す図である。

【図 25】同実施の形態の構造を変形した構造を示す図である。

【図 26】図 21 の実施の形態の構造を変形した構造を示す図である。

【図 27】この発明の実施の形態 4 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 28】この発明の実施の形態 4 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 29】この発明の実施の形態 4 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 30】この発明の実施の形態 4 変形例による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 31】この発明の実施の形態 4 変形例による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 32】この発明の実施の形態 4 変形例による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 33】この発明の実施の形態 7 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 34】この発明の実施の形態 7 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 35】この発明の実施の形態 7 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 36】この発明の実施の形態 7 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 37】この発明の実施の形態 8 による FRAM の強誘電体キャパシタの構造を示す図である。

【図 38】この発明の実施の形態 9 による FRAM の強誘電体キャパシタの構造を示す図である。

【図 39】この発明の実施の形態 10 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 40】この発明の実施の形態 10 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 41】この発明の実施の形態 10 による FRAM の強誘電体キャパシタの製造工程を示す図である。

【図 42】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図 43】同実施の形態による強誘電体キャパシタの製造工程を示す図である。

【図 44】この発明の実施の形態 11 による FRAM の強誘電体キャパシタの構造を示す図である。

【図 45】同実施の形態でのテストサンプルの膜厚と特性の関係を示す図である。

【図 46】同じく良品テストサンプルでの初期特性と疲労特性を示す図である。

【図 47】同じく良品サンプルの疲労特性を示す図である。

【図 48】この発明の実施の形態 12 による FRAM の強誘電体キャパシタ構造を示す図である。

【図 49】同実施の形態でのキャパシタの製造工程を示す図である。

【図 50】同実施の形態でのキャパシタの製造工程を示す図である。

【図 51】同実施の形態でのキャパシタの製造工程を示す図である。

【図 52】同実施の形態でのサンプルの強誘電体キャパシタの上部電極コンタクト面積比と回復特性を示す図である。

【図 53】同実施の形態でのサンプルの強誘電体キャパシタの上部電極コンタクト面積比と回復特性を示す図である。

【図 54】この発明の実施の形態 13 による FRAM の構造を示す図である。

【図 55】同実施の形態の FRAM の製造工程を示す図である。

【図 56】同実施の形態の FRAM の製造工程を示す図である。

【図 57】同実施の形態の FRAM の製造工程を示す図である。

【図 58】同実施の形態の FRAM の製造工程を示す図である。

【図 59】同実施の形態の FRAM の製造工程を示す図である。

【図 60】同実施の形態の FRAM の製造工程を示す図である。

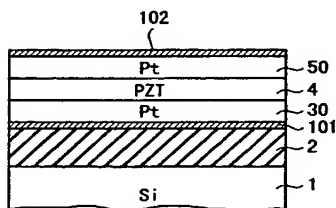
【図 61】同実施の形態の FRAM の製造工程を示す図である。

【符号の説明】

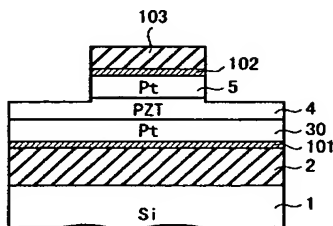
1…シリコン基板、2…層間絶縁膜、30…下部Pt電極膜、3…上部Pt電極、4…PZT膜、50…上部Pt電極膜、5…上部Pt電極、6…層間絶縁膜、7…配

線、101、102、104、202、303、402、403、702、703、801…水素バリア膜、901、902…SRO膜、34…側壁保護膜、C…強誘電体キャパシタ、Q…トランジスタ

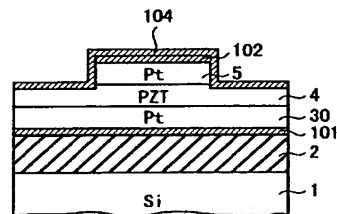
【図1】



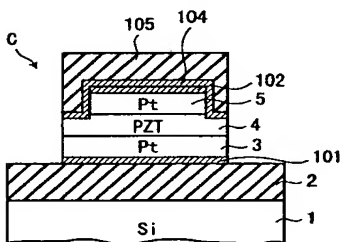
【図2】



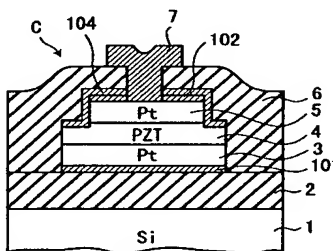
【図3】



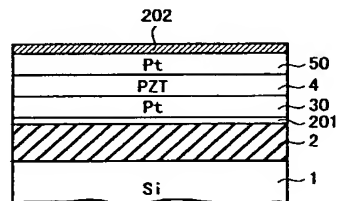
【図4】



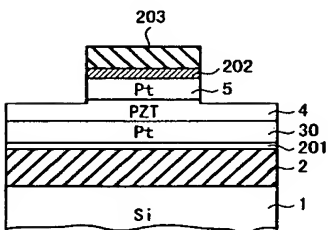
【図5】



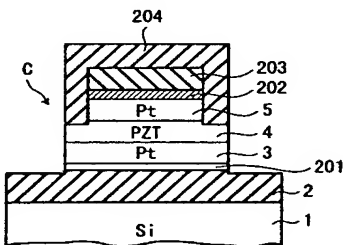
【図6】



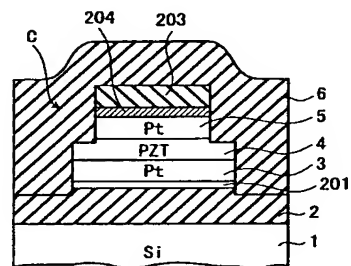
【図7】



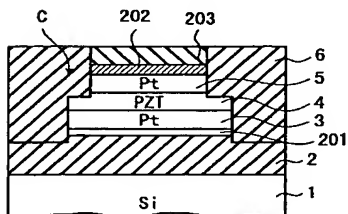
【図8】



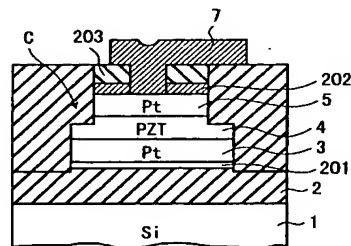
【図9】



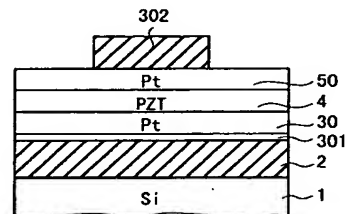
【図10】



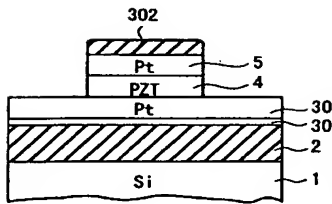
【図11】



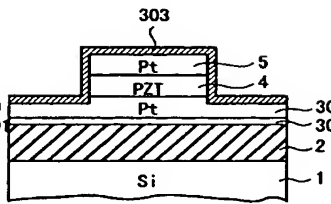
【図12】



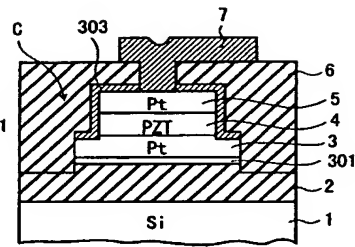
【図13】



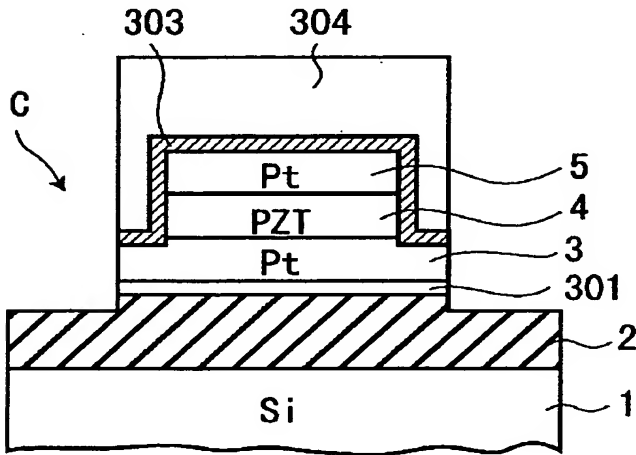
【図14】



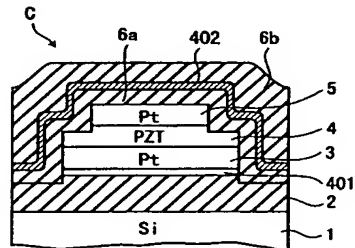
【図16】



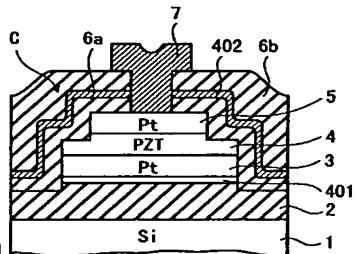
【図15】



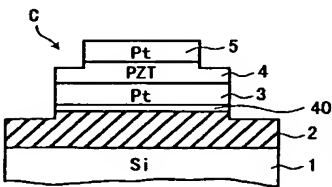
【図19】



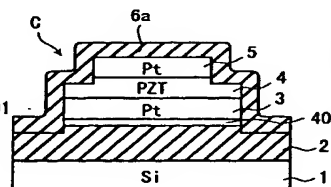
【図20】



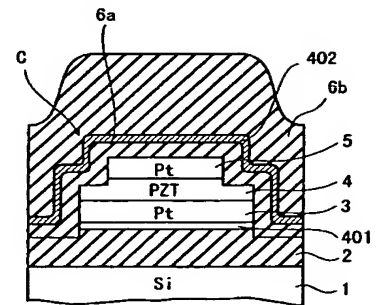
【図17】



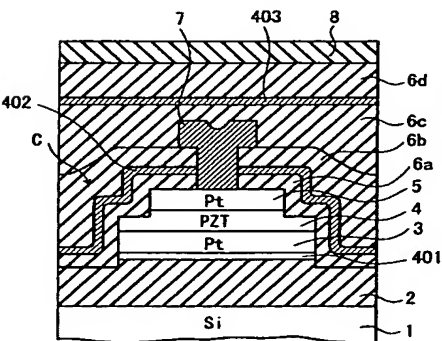
【図18】



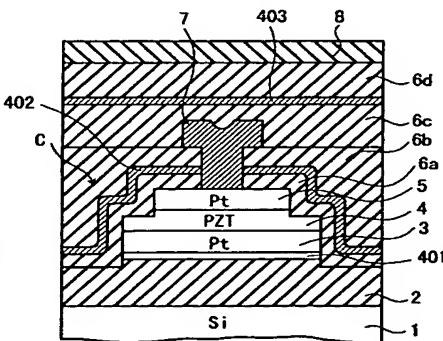
【図27】



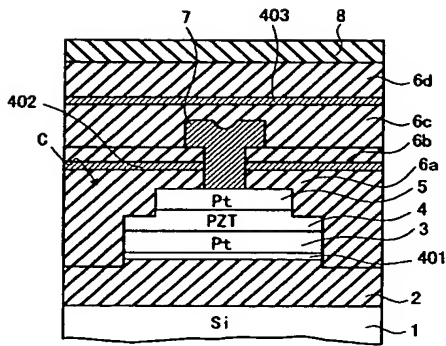
【図21】



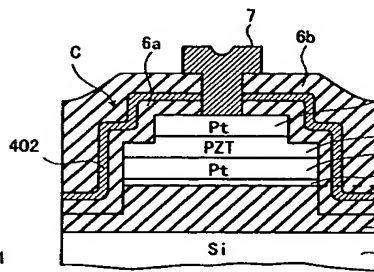
【図22】



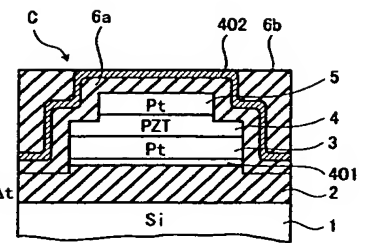
【図 23】



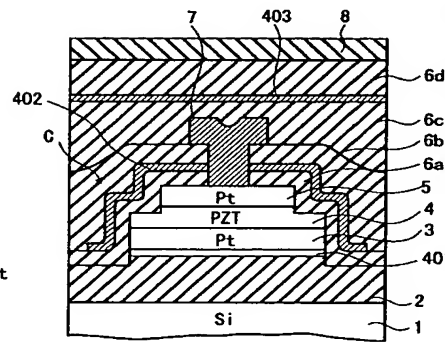
【図 24】



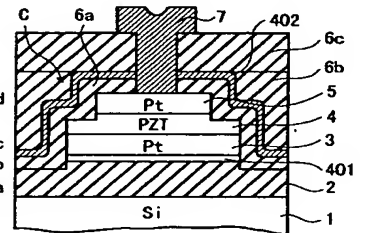
【図 28】



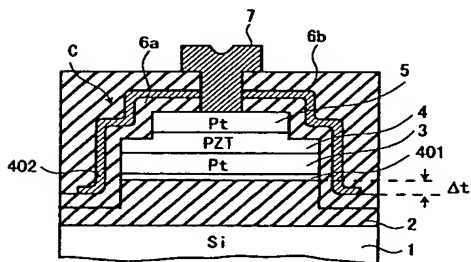
【図 26】



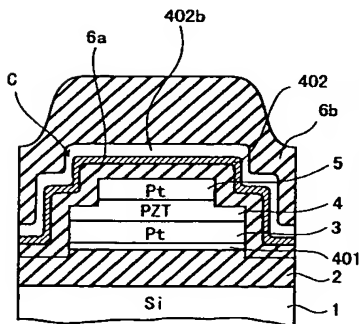
【図 29】



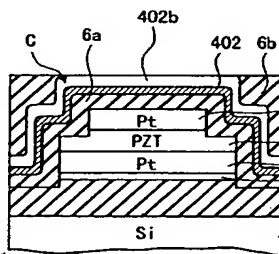
【図 25】



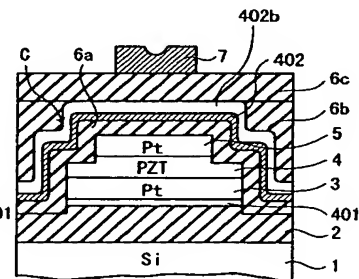
【図 30】



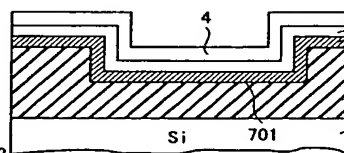
【図 31】



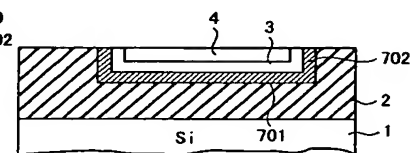
【図 32】



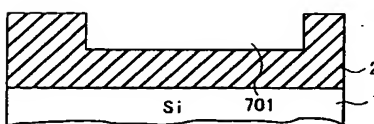
【図 34】



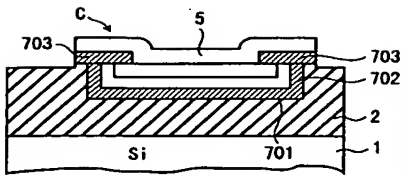
【図 35】



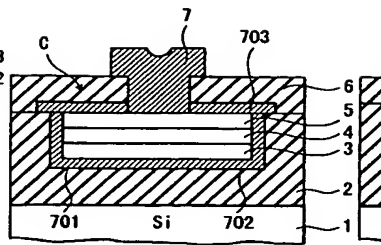
【図 33】



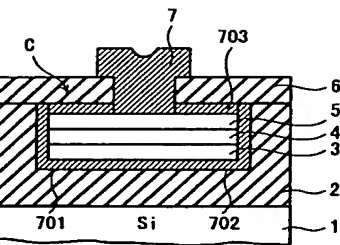
【図 36】



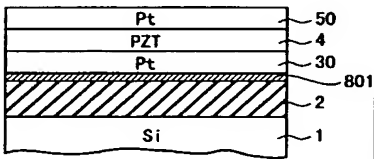
【図 37】



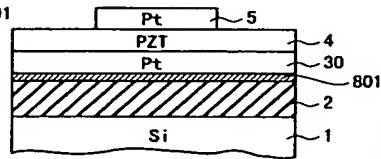
【図 38】



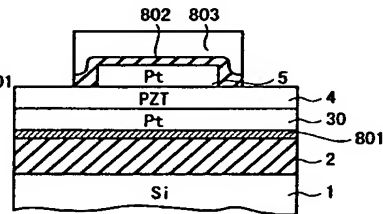
【図 39】



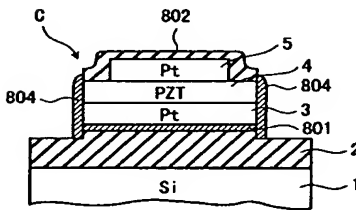
【図 40】



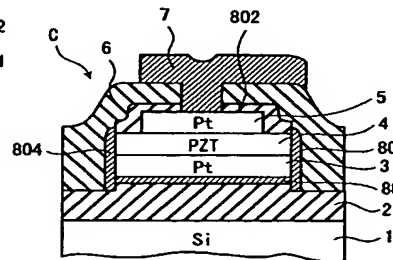
【図 41】



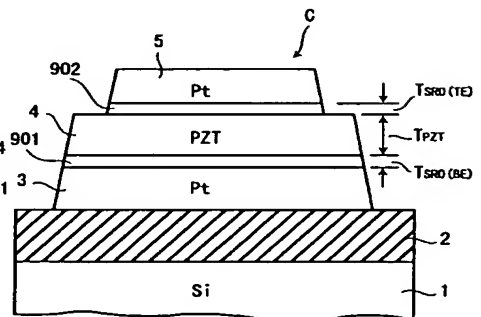
【図 42】



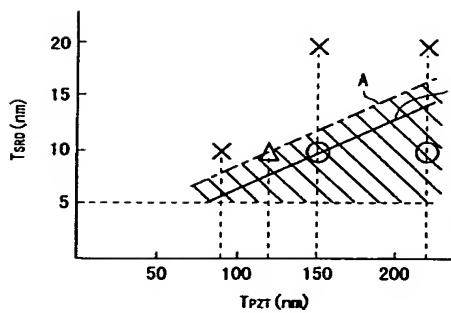
【図 43】



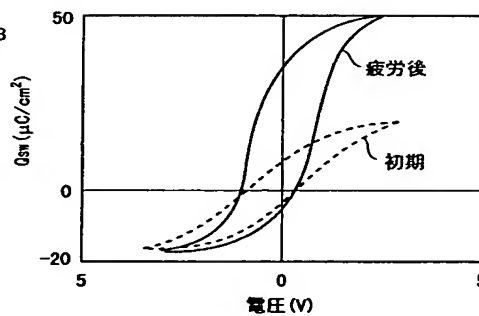
【図 44】



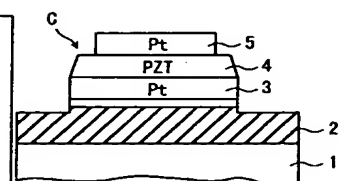
【図 45】



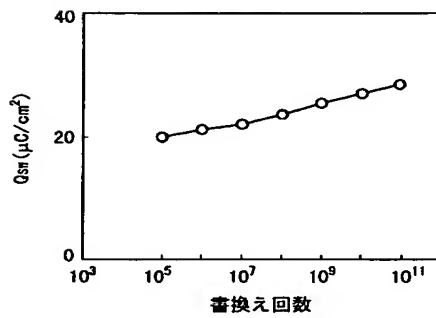
【図 46】



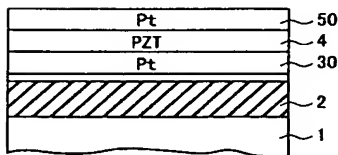
【図 51】



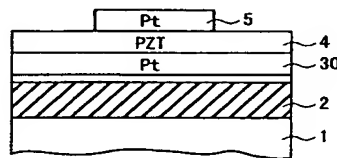
【図47】



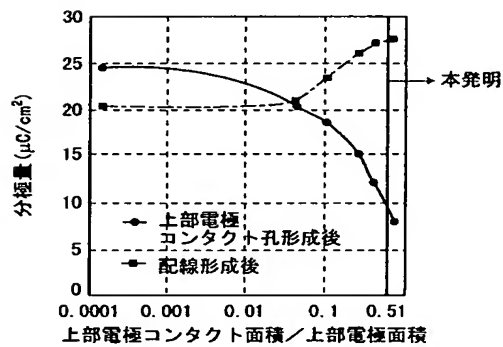
【図49】



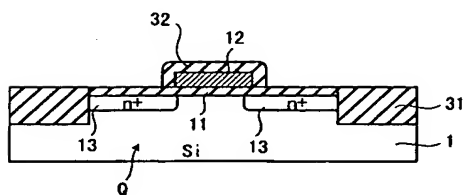
【図50】



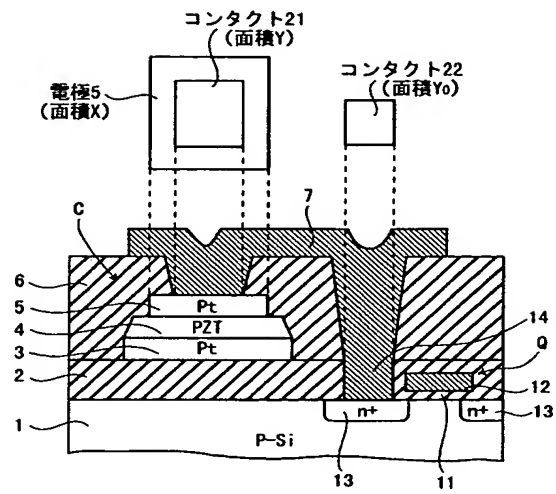
【図53】



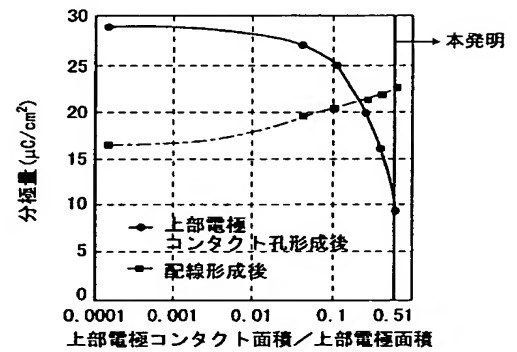
【図55】



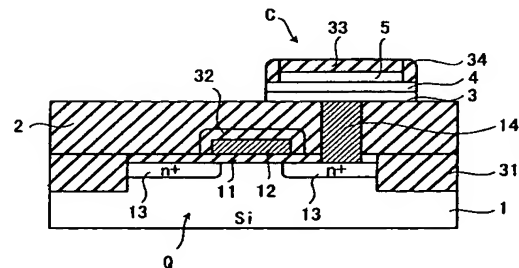
【図48】



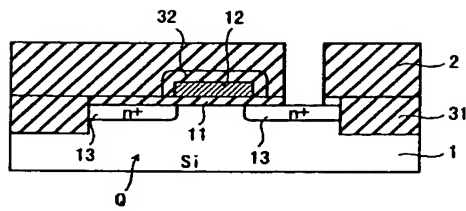
【図52】



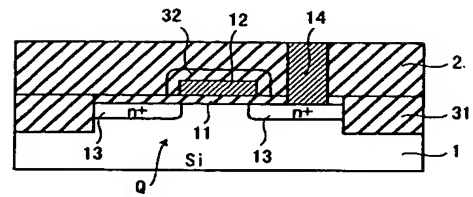
【図54】



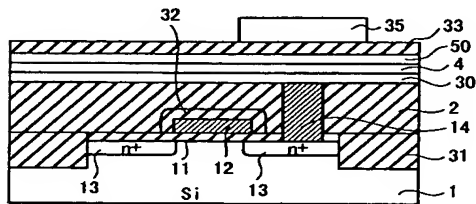
【図 56】



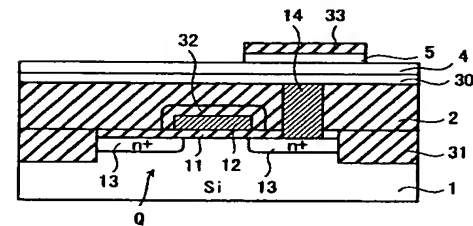
【図 57】



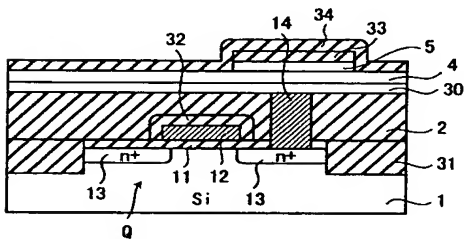
【図 58】



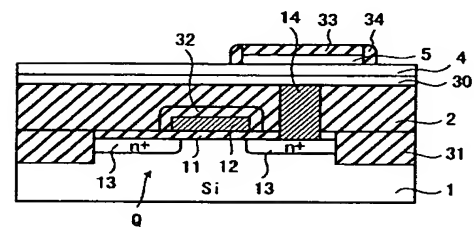
【図 59】



【図 60】



【図 61】



フロントページの続き

(51) Int. Cl. 7

H01L 21/8247
29/788
29/792

識別記号

F I

H01L 29/78

7-コード (参考)

371

(72) 発明者 森本 豊太

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 日高 修

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 國島 巖

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 岩元 剛

神奈川県横浜市磯子区新磯子町 33 番地 株
式会社東芝生産技術研究所内

